

Схемотехнические методы повышения надежности операционных усилителей с предельным быстродействием в режиме большого сигнала

Н.Н. Прокопенко, А.С. Будяков, Н.В. Ковбасюк

Проблемная лаборатория перспективных технологий и процессов Центра исследования проблем безопасности РАН и ЮРГУЭС, НТЦ «МикАн», prokopenko@sssu.ru

Аннотация — Показано, что для повышения надежности операционных усилителей (ОУ) с предельным быстродействием в режиме большого сигнала необходимо вводить специальные ограничители уровня выходного тока их входных каскадов. Рассматриваются принципы построения архитектуры таких ОУ.

I. ВВЕДЕНИЕ

Максимальная скорость нарастания выходного напряжения ($\mathcal{U}_{\text{вых}}$) операционных усилителей с классической архитектурой в режиме большого сигнала оценивается по формуле [1]

$$\mathcal{U}_{\text{вых}} = 2\pi f_1 U_{\text{гр}}, \quad (1)$$

где f_1 - частота единичного усиления ОУ;

$U_{\text{гр}}$ - напряжение ограничения входного каскада ОУ [1] (ВК).

Типичные значения $U_{\text{гр}}$ типовых дифференциальных усилителей (ВК) на биполярных транзисторах $U_{\text{гр}} \approx U_{\text{гр}}^* = 50$ мВ [1], [2], а малосигнальная крутизна их проходной характеристики y_{21} имеет достаточно большое значение $y_{21} = I_{\text{max}} / U_{\text{гр}}^*$, где I_{max} - максимальный выходной ток классического входного каскада, зависящий от тока общей эмиттерной цепи I_0 [1]. В большинстве случаев $I_{\text{max}} \approx I_0$.

Из (1) следует, что для повышения $\mathcal{U}_{\text{вых}}$ необходимо схемотехническим путем увеличивать $U_{\text{гр}} \gg U_{\text{гр}}^*$, т.е. обеспечивать линейный режим работы входного каскада во всем диапазоне импульсного изменения входного напряжения ОУ u_c , которое может достигать величины $U_c \approx E^{(+)} = E^{(-)} = E_n$, где E_n - напряжение питания. Обычно «продление» проходной характеристики ВК при сохранении ее наклона обеспечивается за счет цепей нелинейной коррекции [2] или специальной архитектуры ВК [4], [5].

Устойчивость ОУ с $U_{\text{гр}} \gg U_{\text{гр}}^*$ не ухудшится, если на большом сигнале будет выполняться равенство:

$$\frac{I_0}{U_{\text{гр}}^*} = \frac{I_{\text{max}}}{E_n}, \quad (2)$$

где I_{max}^* - максимальный выходной ток входного каскада, имеющего $U_{\text{гр}} \gg U_{\text{гр}}^*$.

Следовательно, I_{max}^* в ОУ с предельным быстродействием может достигать величины

$$I_{\text{max}}^* = \frac{E_n}{U_{\text{гр}}^*} I_0 \gg I_0. \quad (3)$$

Таким образом, транзисторы входного каскада любого быстродействующего ОУ должны обеспечивать на время фронта переходного процесса t_f выходной ток I_{max}^* , измеряемый десятками - сотнями миллиампер.

II. ЭНЕРГЕТИЧЕСКИЕ И ТОКОВЫЕ ОГРАНИЧЕНИЯ ДЛЯ ВХОДНЫХ КАСКАДОВ

Следует ожидать, что полученный выше вывод потребует пересмотра сложившихся представлений о том, что входной каскад ОУ - это всегда микрорежимная подсхема. Если требуется получить предельно высокое быстродействие, то придется мириться с тем фактом, что выходной ток ВК должен (на короткое время) измеряться десятками, а иногда и сотнями миллиампер (3). Это первая проблема, которая не всегда учитывается при проектировании быстродействующих ОУ.

Вторая проблема связана с тем, что любой ОУ, работающий в структуре сложных аналогово-цифровых устройств, может (в нетиповых режимах) на достаточно большое время $t_p \gg t_f$ перегружаться по входу большими сигналами (например, при включении питания). В этом случае на достаточно большое время $t_p \gg t_f$ ко входам ОУ будут прикладываться напряжения, близкие к напряжению

питания, и поэтому большой выходной ток ВК может вызвать тепловое разрушение токоведущих дорожек, перегрев и выход из строя транзисторов микросхемы.

Таким образом, ОУ с предельным быстродействием при отсутствии защиты от чрезмерно больших статических выходных токов входного каскада не могут иметь высокую надежность.

Если исходить из энергетических ограничений, т.е. считать, что входной каскад ОУ не выйдет из строя из-за перегрева элементов при длительной перегрузке по входу, то тогда становится заданной величина его максимального выходного тока и крутизна проходной характеристики для большого сигнала

$$y_{21}^* \approx \frac{I_{\max}^*}{E_{\Pi}} \approx \frac{P_K}{E_{\Pi}^2}, \quad (4)$$

где P_K – допустимая мощность, рассеиваемая в элементах входного каскада его выходным током $i_{\text{СК}}$ за время перегрузки t_p , причем

$$P_K \approx \frac{E_{\Pi}}{t_p} \int_0^{t_p} i_{\text{СК}} dt. \quad (5)$$

Таким образом, крутизна y_{21}^* входного каскада быстродействующего ОУ (наклон его проходной характеристики при $u_{\text{ВХ}} \gg U_{\text{ГР}}^*$) не может выбираться без учета тепловых эффектов в микросхеме. Однако малосигнальный параметр y_{21} ВК, связанный с $y_{21}^* \approx y_{21}$, оказывает существенное влияние на многие динамические параметры ОУ [1], [2], в том числе малосигнальную частоту единичного усиления ОУ:

$$\omega_1 = \frac{y_{21}}{C_K}, \quad (6)$$

где C_K – емкость корректирующего конденсатора ОУ на выходе входного каскада;

Поэтому при рассматриваемых ограничениях частота единичного усиления надежного быстродействующего ОУ не может превышать величину

$$\omega_1 \leq \omega_{\max} = \frac{P_K}{C_K E_{\Pi}^2}. \quad (7)$$

Последняя формула показывает, что для увеличения $\omega_{\max}$ следует увеличивать P_K . При $P_K = \text{const}$ и $y_{21} = \text{const}$ основной путь увеличения ω_1 и $\vartheta_{\text{ВЫХ}}$ – это снижение емкости корректирующего конденсатора C_K . Однако это достаточно сложная проблема, связанная с уменьшением абсолютных значений высокочастотных постоянных времени и их числа у

входного и выходного каскадов ОУ, элементов обратной связи, нагрузки. В конечном итоге C_K определяется, в основном, достижениями технологии – высокочастотными параметрами интегральных транзисторов, емкостями на подложку, емкостями коллектор-база транзисторов и т.д.

Если предположить, что архитектура ОУ реализована по традиционным схемам на основе двухтактных повторителей тока или двухтактных «перегнутых» каскодов [1], [2], то минимально возможное значение C_K определяется емкостями «коллектор – подложка» (C_{Π}) двух транзисторов, обеспечивающих перезаряд емкости C_K , а также входной емкостью буферного усилителя БУ ($C_{\text{БУ}}$)

$$C_{K.\min} \approx 2C_{\Pi} + C_{\text{БУ}}. \quad (8)$$

Таким образом, наилучшее значение частоты единичного усиления ОУ с предельным быстродействием

$$\omega_1 \leq \frac{P_K}{E_{\Pi}^2 (2C_{\Pi} + C_{\text{БУ}})}, \quad (9)$$

или

$$\omega_1 \leq \frac{I_{\max}^*}{E_{\Pi} (2C_{\Pi} + C_{\text{БУ}})} \approx \frac{I_0}{U_{\text{ГР}}^* (2C_{\Pi} + C_{\text{БУ}})}. \quad (10)$$

Причем, максимальная скорость нарастания выходного напряжения ОУ

$$\vartheta_{\text{ВЫХ}} \leq \frac{I_{\max}^*}{(2C_{\Pi} + C_{\text{БУ}})} = \frac{P_K}{E_{\Pi} (2C_{\Pi} + C_{\text{БУ}})}. \quad (11)$$

Из уравнения (11) следует, что физическими ограничениями на максимальную скорость нарастания выходного напряжения ОУ с предельным значением $\vartheta_{\text{ВЫХ}}$ [1]-[4] и входными сигналами с амплитудой, близкой к напряжению питания, являются емкости на подложку транзисторов ВК и допустимая мощность, рассеиваемая на элементах его квазилинейного входного каскада при перегрузке (P_K). Заметим, что данный вывод сделан при отсутствии защит по току у входного каскада и диапазоне его активной работы, близком к E_{Π} .

Таким образом, разработчикам быстродействующих аналоговых микросхем (АМ) приходится искать компромисс между надежностью работы АМ в любых режимах (обрыв обратной связи, кратковременное отключение одного из источников питания, работа ОУ в режиме компаратора сигналов и т.д.) и предельным быстродействием.

Необходимо заметить, что традиционные ограничители входного напряжения ОУ [1] защищают его входные транзисторы от пробоя эмиттерно-базового p-n перехода, но ограничивают диапазон изменения входных сигналов на уровне $U_{\text{огр}} \approx 0,6-0,7V$. Это не позволяет получить высокое

быстродействие, соизмеримое с быстродействием ОУ для линейного режима, так как в этом случае

$$\vartheta_{\text{вых}}^* \approx 2\pi f_1 U_{\text{огр}} \leq 1,4\pi f_1 [B/c].$$

III. СПОСОБЫ ПОСТРОЕНИЯ ЦЕПЕЙ ОГРАНИЧЕНИЯ ВЫХОДНОГО ТОКА ВХОДНЫХ КАСКАДОВ

На рис. 1 представлена архитектура быстродействующего ОУ, особенность которой состоит в создании «интеллектуальной» защиты входного каскада, которая не влияет на работу схемы во время фронта переходного процесса t_{ϕ} , но ограничивает выходные токи входного каскада в том случае, если напряжение на входе ОУ действует длительное время $t_p \gg t_{\phi}$.

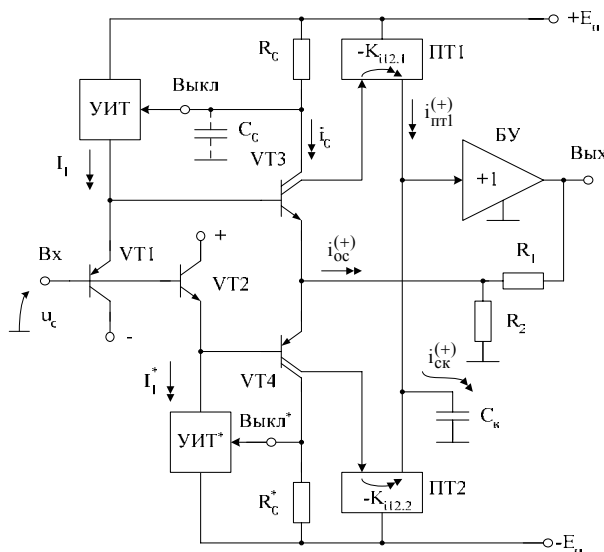


Рис. 1. Способ ограничения максимального выходного тока ВК на «бриллиантовом транзисторе»

Операционный усилитель с токовой обратной связью (рис. 1) содержит входной каскад (VT1-VT4) с большими значениями максимального выходного тока

$$I_{\text{кз. max}} \approx \frac{\beta_3 I_1}{2}, \quad (12)$$

где β_3 - коэффициент усиления по току базы двухколлекторного транзистора VT3;

I_1 - статическое значение выходного тока управляемого (по входу «Выкл») источника опорного тока I_1 .

Условие (12) выполняется, если входной сигнал достаточно большой: $U_{\text{с. max}} \geq \beta_3 I_1 \cdot R_1 \parallel R_2$.

В схеме рис. 1 предусмотрена нелинейная отрицательная обратная связь, которая запирает источник опорного тока УИТ, если ток в

измерительном резисторе R_0 превышает заданное значение $I_{\text{огр}}$. При этом I_1 уменьшается, что ограничивает выходной ток входного каскада на заданном уровне $I_{\text{огр}} < I_{\text{кз. max}}$. Как следствие максимальная скорость нарастания выходного напряжения ОУ с таким ВК (при $C_0 = 0$) меньше предельно возможной и определяется по формуле

$$\vartheta_{\text{вых}}^* \approx 2\pi f_1 I_{\text{огр}} R_1 \parallel R_2. \quad (15)$$

Регулировка инерционности петли ограничения выходного тока ВК обеспечивается конденсатором C_0 . Он может выбираться таким образом, чтобы защита по току не работала во время фронта входного импульсного сигнала, а ее включение происходило при $t_p \gg t_{\phi}$, т.е. когда в схеме ОУ возникают существенно-нелинейные режимы работы и возможен перегрев кристалла. В этом случае обеспечиваются предельные значения $\vartheta_{\text{вых}}$.

Управление величиной максимального выходного тока ВК быстродействующего ОУ, реализованного на мостовых дифференциальных усилителях типа quad-core [4] (рис. 2), может осуществляться либо за счет соответствующего выбора сомножителей произведения $I_1 \beta_3$ ($I_2 \beta_4$), либо путем введения специальных токоограничивающих резисторов $R_1 = R_3 \gg R_2$.

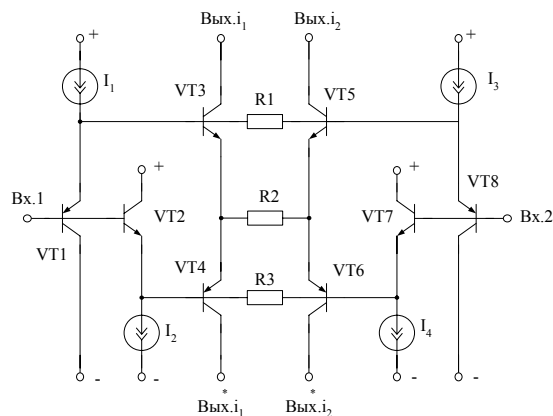


Рис. 2. Способ ограничения выходного тока мостового ВК типа «quad-core»

В данной схеме напряжение ограничения входного каскада зависит от произведения

$$U_{\text{гр}} \approx R_1 I_1 = R_3 I_2. \quad (13)$$

В то же время крутизна проходной характеристики ВК на малом и большом сигналах, а также частота единичного усиления ОУ практически не зависят от R_1 , R_3 и определяются резистором R_2 :

$$y_{21} \approx R_2^{-1},$$

$$\omega_1 \approx \frac{1}{R_2 C_K}, \quad (14)$$

где C_K - емкость однополюсной коррекции ОУ.

Поэтому максимальная скорость нарастания выходного напряжения ОУ с входным каскадом «quad-core» для разных полярностей $u_{\text{вых}}$ регулируется разными резисторами R_1 и R_3 :

$$\vartheta_{\text{вых}}^{*(+)} \approx \frac{R_1}{R_2} \frac{I_1}{C_K}, \quad \vartheta_{\text{вых}}^{*(-)} \approx \frac{R_3}{R_2} \frac{I_2}{C_K}. \quad (15)$$

Включение нелинейного делителя напряжения «VDN1- R_1 - R_2 » на входе ОУ (рис. 3), имеющего входной каскад с расширенным диапазоном активной работы [1-4], также позволяет установить заданное значение $U_{\text{гр}} = nU_{\text{эб}} \gg U_{\text{гр}}^*$ и, следовательно, максимальный выходной ток

$$I_{\text{max}}^* = I_0 \frac{nU_{\text{эб}}}{U_{\text{гр}}^*}, \quad (16)$$

и заданную максимальную скорость нарастания выходного напряжения

$$\vartheta_{\text{вых}}^* \approx 2\pi f_1 nU_{\text{эб}}, \quad (17)$$

где $U_{\text{эб}} \approx 0,7 \text{ В}$; n - число последовательно включенных р-п переходов.

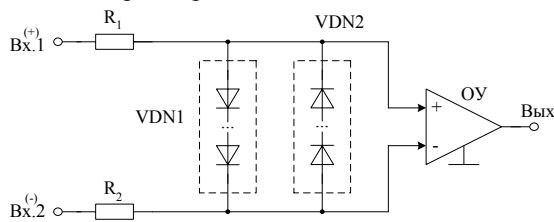


Рис. 3. Нелинейный ограничитель входного напряжения

Однако, шумы и дополнительная входная емкость р-п переходов VDN1-VDN2 не позволяет рекомендовать данную схему для широкого применения.

В связи с тем, что мостовой входной каскад рис. 2 является основой построения большинства быстродействующих операционных усилителей ведущих микроэлектронных фирм, следует рассмотреть другие варианты ограничения его выходного тока.

В схеме рис. 4 ограничители максимального тока транзисторов VT3, VT4 выполнены на элементах R_2 , VD2 (R_3 , VD1).

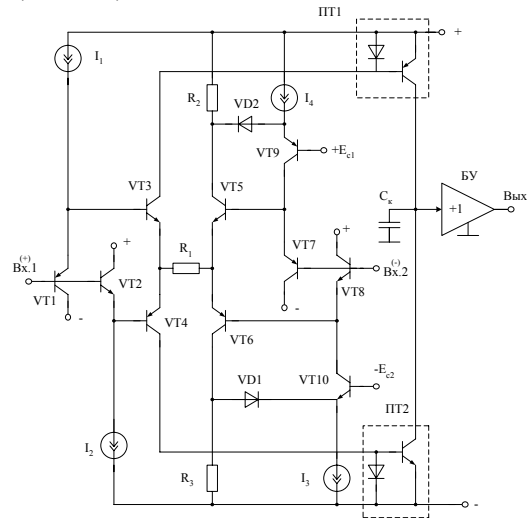


Рис. 4. Токовая защита в мостовом входном каскаде

Как только коллекторный ток транзистора VT5 (I_{K5}) достигает заданного значения

$$I_{\text{огр}} \approx \frac{E_{c1}}{R_2}, \quad (18)$$

начинает запираться транзистор VT9, что предотвращает дальнейшее увеличение I_{K5} . Поэтому в таком ОУ максимальная скорость нарастания выходного напряжения

$$\vartheta_{\text{вых}}^* \approx 2\pi f_1 \frac{R_1}{R_2} E_{c1} \approx \frac{E_{c1}}{R_2 C_K} < \frac{\beta_3 I_1}{C_K}. \quad (19)$$

Ограничитель выходного тока мостового дифференциального каскада МДК в операционном усилителе рис. 5 реализован на основе токовых зеркал ПТ1, ПТ2.

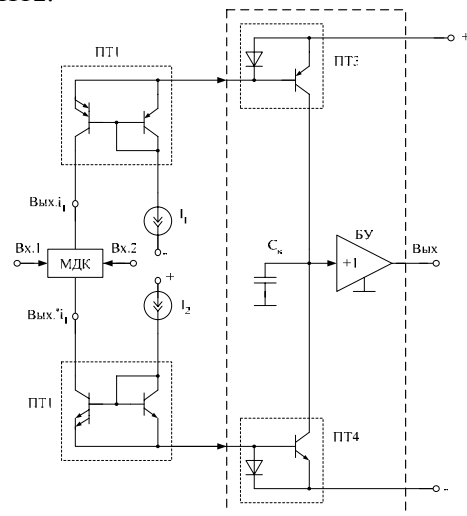


Рис. 5. Архитектура операционного усилителя с ограничением максимальных токов входного каскада

Заданный уровень максимальных выходных токов МДК в статическом режиме $I_{огр}$ устанавливается двухполюсниками I_1 и I_2 , а также соотношением площадей эмиттерных p-n переходов транзисторов, входящих в подсхему ПТ1, ПТ2.

При нулевом входном сигнале ОУ транзисторы подсхем ПТ1, ПТ2 находятся в насыщенном состоянии. Во время фронта переходного процесса ПТ1, ПТ2 не влияют на работу схемы ОУ. Как только медленно изменяющийся выходной ток МДК превысит заданное значение $I_{огр}$, токовое зеркало ПТ1 (ПТ2) обеспечит его ограничение.

На рис. 6 показан операционный усилитель с рассматриваемой архитектурой, а на рис. 7 - результаты его компьютерного моделирования.

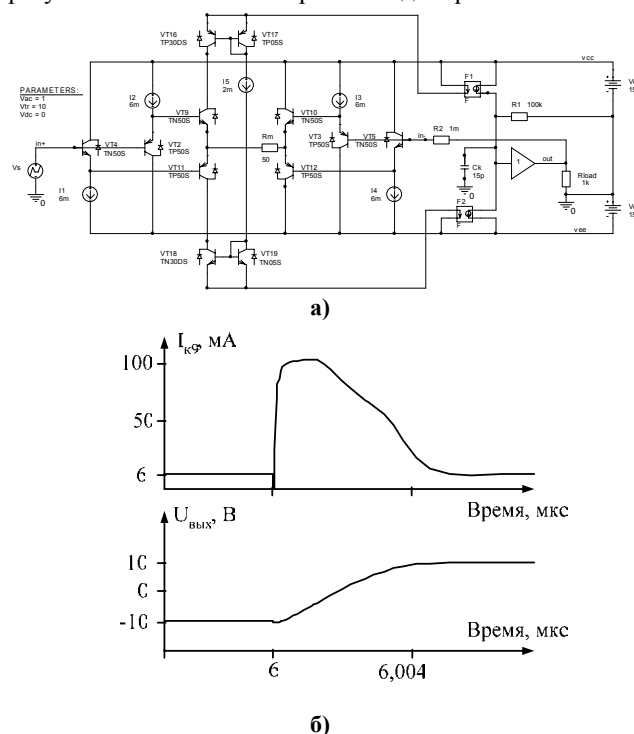


Рис. 6. Операционный усилитель рис. 5 в среде pspace на моделях транзисторов ФГУП НПП «Пульсар» (а) и его переходные процессы (б)

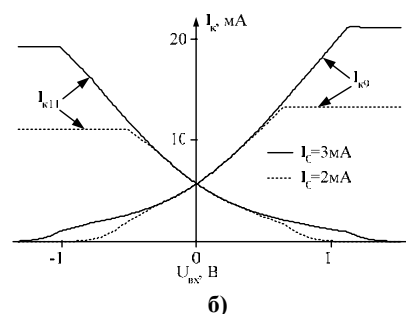
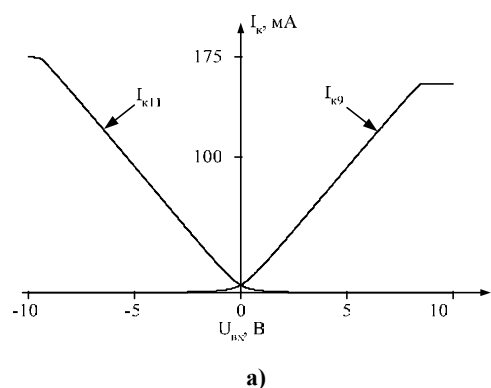


Рис. 7. Статические проходные характеристики входного каскада ОУ без ограничения (а) и с ограничением (б) выходного тока

VI. ЗАКЛЮЧЕНИЕ

1. При проектировании ОУ с предельно возможным быстродействием необходимо обращать внимание на энергетику не только выходных, но и входных каскадов, а также применять специальные цепи защиты, ограничивающие на заданном уровне максимальный ток входных каскадов во время фронта переходного процесса.

2. Предельно возможная скорость нарастания выходного напряжения быстродействующих ОУ определяется, с одной стороны, допустимой мощностью, рассеиваемой в элементах входного каскада во время его динамической перегрузки большим сигналом, а с другой - суммарной емкостью на подложку транзисторов промежуточного каскада с высоким импедансом.

3. Разработчикам быстродействующих аналоговых микросхем (АМ) приходится искать компромисс между надежностью работы АМ в любых режимах (обрыв обратной связи, кратковременное отключение одного из источников питания, работа ОУ в режиме компаратора сигналов и т.д.) и предельным быстродействием.

4. Введение «интеллектуальных цепей» защиты по выходному току входных каскадов ОУ повышает их надежность при длительных перегрузках по входу.

ЛИТЕРАТУРА

- [1] Операционные усилители с непосредственной связью каскадов / Анисимов В.И., Капитонов М.В., Прокопенко Н.Н., Соколов Ю.М. Л., 1979. - 148 с.
- [2] Прокопенко Н.Н. Нелинейная активная коррекция в прецизионных аналоговых микросхемах / Н.Н.Прокопенко. - Ростов-на-Дону: Изд-во СКНЦ ВШ, 2000. - 222 с.
- [3] R.Widlar. Wide range operational amplifier input stage. US Patent № 4.797.629, 1989.
- [4] F.Moraveji. Fast clewing Amplifier using dinamic current mirrors. US Patent № 5.510.754, 1996.
- [5] Прокопенко Н.Н., Будяков А.С., Крюков С.В. Быстродействующий операционный усилитель. Заявка на патент № 2006105298 от 20.02.2006 г.