



## Структурная схема и общее описание

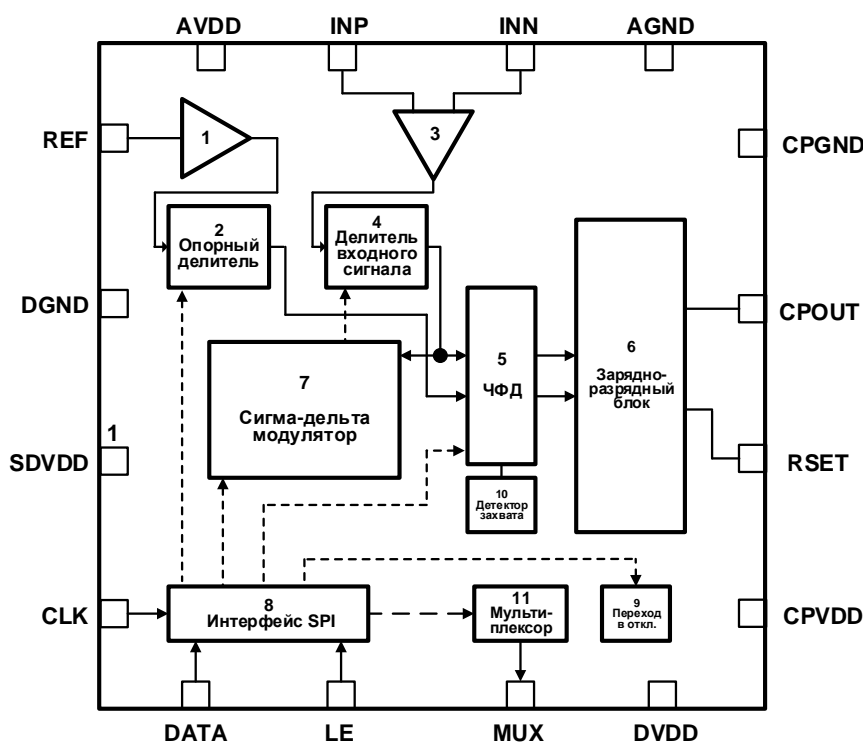
Микросхема 1324ПЛ2У (далее микросхема) – интегральная микросхема высокочастотного синтезатора частоты 1324ПЛ2У, предназначенного для построения устройств синтеза частот диапазона СВЧ на основе петли фазовой автоподстройки частоты с внешним петлевым фильтром и генератором, управляемым напряжением.

Микросхема выполнена по кремний-германиевой гетеробиполярной комплементарной МОП эпитаксиально-планарной технологии изготовления n-p-n транзисторов с пятью слоями металлизации и поликремниевыми резисторами с проектными нормами 0,25 мкм.

Условное обозначение микросхем при заказе и в конструкторской документации:

Микросхема 1324ПЛ2У, АЕЯР.431000.760-12ТУ.

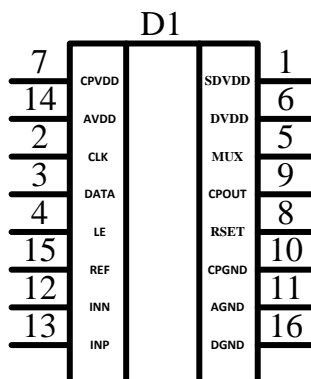
Структурная схема синтезатора частот приведена на рисунке 1.



- 1 усилитель сигнала опорной частоты;
- 2 делитель сигнала опорной частоты;
- 3 усилитель сигнала входной частоты;
- 4 делитель сигнала входной частоты с переменным коэффициентом деления;
- 5 частотно- фазовый детектор;
- 6 зарядно-разрядный блок с дискретно регулируемым выходным током;
- 7 16-ти разрядный цифровой сигма-дельта модулятор 3-го порядка;
- 8 интерфейс SPI для управления режимами работы синтезатора частоты;
- 9 схема перехода в режим низкого энергопотребления;
- 10 детектор захвата частоты ФАПЧ;
- 11 тестовый мультиплексор

Рисунок 1 – Структурная схема синтезатора частот

Рисунок 2 – Условное обозначение микросхемы 1324ПЛ2У и функциональное назначение выводов



Номер вывода	Функциональное назначение	Условное обозначение
1	Напряжение питания 2 (сигма-дельта модулятора)	SDVDD
2	Вход тактового сигнала SPI интерфейса	CLK
3	Вход сигнала данных SPI интерфейса	DATA
4	Вход сигнала разрешения записи SPI интерфейса	LE
5	Выход тестового мультиплексора	MUX
6	Напряжение питания 2 (цифровых блоков)	DVDD
7	Напряжение питания 1 (зарядно-разрядного блока)	CPVDD
8	Вывод для подключения внешнего токозадающего резистора	RSET
9	Выход зарядно-разрядного блока	CPOUT
10	Земля зарядно-разрядного блока	CPGND
11	Земля аналоговых блоков	AGND
12	Вход сигнала инвертирующий	INN
13	Вход сигнала неинвертирующий	INP

14	Напряжение питания 1 (аналоговых блоков)	AVDD
15	Вход сигнала опорной частоты	REF
16	Земля цифровых блоков	DGND

Таблица 1 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра				Температура окружающей среды, °С	Номер пункта примечания
		1324ПЛ1У		1324ПЛ2У			
		не менее	не более	не менее	не более		
Ток потребления, мА	$I_{пот}$	–	50	–	50	+25	1
		–	60	–	60	–60; +85	
		–	60	–	60	+25	2
		–	70	–	70	–60; +85	
Разрешение по частоте, кГц	$\Delta f$	–	5000	–	1,0	+25	1
		–	5000	–	1,0	–60; +85	1
		–	5000	–	1,0	+25	3
		–	5000	–	1,0	–60; +85	3
Время переключения частоты, мкс	$t_{п}$	–	190	–	190	+25	1
		–	200	–	200	–60; +85	1
		–	210	–	210	+25	3
		–	250	–	250	–60; +85	3
Диапазон входных частот, ГГц	$\Delta f_{вх}$	0,3-6,0	–	0,5-2,8	–	+25	1
		0,3-5,0	–	0,6-2,7	–	+25	3
1 Напряжение питания $U_{п1} = 3,0$ В, $U_{п2} = 2,5$ В. 2 Напряжение питания $U_{п1} = 3,15$ В, $U_{п2} = 2,7$ В. 3 Напряжение питания $U_{п1} = 2,85$ В, $U_{п2} = 2,3$ В.							

Таблица 2 – Предельно-допустимые и предельные режимы эксплуатации микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим				Предельный режим				Номер пункта примечания
		1324ПЛ1У		1324ПЛ2У		1324ПЛ1У		1324ПЛ2У		
		не менее	не более	не менее	не более	не менее	не более	не менее	не более	
Напряжение питания 1, В	$U_{п1}$	2,85	3,15	2,85	3,15	–	3,3	–	3,3	1, 2
Напряжение питания 2, В	$U_{п2}$	2,35	2,75	2,35	2,75	–	3,0	–	3,0	1, 2
Максимальная входная мощность, дБм	$P_{вх}$	–10	10	–10	10	–	15	–	15	1, 2, 3
Входная мощность опорного сигнала, дБм	$P_{вх.оп}$	–5	5	–5	5	–	10	–	10	1, 2, 3
Входное напряжение высокого уровня, В	$U_{вх}^1$	2,0	2,5	2,0	2,5	–	2,7	–	2,7	1, 2
Входное напряжение низкого уровня, В	$U_{вх}^0$	0	0,5	0	0,5	0	–	0	–	1, 2
Рассеиваемая мощность, мВт	$P_{рас}$	–	200	–	200	–	230	–	230	1, 2, 3

**Примечания**

1 Предельные режимы устанавливаются при условии обеспечения температуры кристалла не более 150 °С.

2 Одновременное воздействие двух предельных режимов не допускается.

### Последовательно-параллельный интерфейс управления

Для управления режимами работы микросхемы синтезатора частот служит последовательный интерфейс SPI. Он организован на основе 32-разрядного сдвигового регистра и четырех 30-разрядных регистров хранения. Запись данных осуществляется по 3х-проводной последовательной шине (выводы LE, DATA, CLK). Сигнал по входу CLK синхронизирует запись данных по входу DATA в сдвиговый регистр. По сигналу LE (load enable) данные из сдвигового регистра на основе значений бит 0 и 1 (A1, A0) записываются в соответствующий регистр хранения. Сдвиг данных в сдвиговом регистре происходит по восходящему фронту сигнала CLK. Запись данных в регистры хранения происходит по восходящему фронту сигнала LE. С использованием данного интерфейса возможно только записывать данные в устройство, чтение данных не предусмотрено.

Диаграмма работы интерфейса представлена на рисунке 2.

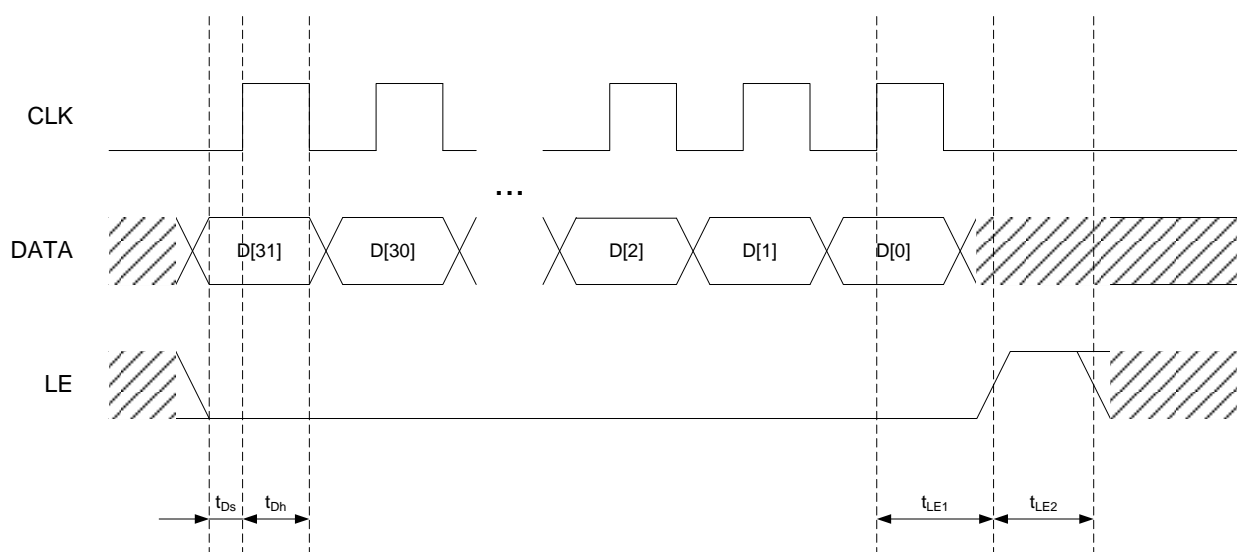


Рисунок 2 – Диаграмма работы последовательного интерфейса

Посылка данных состоит из 32 тактовых импульсов, в течение которых информация записывается в сдвиговый регистр. По сигналу LE данные из сдвигового регистра записываются в один из 4-х регистров хранения.

Таблица 3 – Структура управляющих битов

Регистр R1																
Назначение	резерв	управление мультиплексором				9-разрядное слово INT									16-разрядное слово FRAC	
№ бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Обозначение	0	MUX3	MUX2	MUX1	MUX0	N8	N7	N6	N5	N4	N3	N2	N1	N0	F15	F14

Назначение	16-разрядное слово FRAC														Контрольные биты	
№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Обозначение	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	F0	A1(0)	A0(0)

Регистр R2																
Назначение	Спящий режим	Управление сигма-дельта модулятором	Вкл. / Выкл.	Управление ЧФД	Управление токовым ключом			Управление коэффициентом деления опорного делителя							16-разрядное слово MOD	
№ бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Обозначение	PD	SD	PSP	T1	T0	C2	C1	C0	R5	R4	R3	R2	R1	R0	MOD15	MOD14

Назначение	16-разрядное слово MOD														Контрольные биты	
№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Обозначение	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0	A1(0)	A0(1)

Регистры R3, R4 зарезервированы

Таблица 4 – Значения управляющих битов при начальном включении микросхемы

Регистр R1																	
Назначение	резерв	управление мультиплексором				9-разрядное слово INT										16-разрядное слово FRAC	
№ бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Обозначение	-	MUX3	MUX2	MUX1	MUX0	INT8	INT 7	INT 6	INT 5	INT 4	INT 3	INT 2	INT 1	INT 0	F15	F14	
Значение	0	1	0	0	0	0	1	1	1	1	0	1	0	0	0	0	
Назначение	16-разрядное слово FRAC														Контрольные биты		
№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Обозначение	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	F0	A1(0)	A0(0)	
Значение	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	
Регистр R2																	
Назначение	Спящий режим	Управление SD модулятором	Вкл. / Выкл.	Управление ЧФД		Управление токовым ключом (charge pump)			Управление коэффициентом деления опорного делителя							16-разрядное слово MOD	
№ бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Обозначение	PD	SD	PSP	T1	T0	C2	C1	C0	R5	R4	R3	R2	R1	R0	MOD15	MOD14	
Значение	0	1	0	1	1	0	0	0	0	0	0	0	1	0	0	0	
Назначение	16-разрядное слово MOD														Контрольные биты		
№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Обозначение	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0	A1(0)	A0(1)	
Значение	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	1	



## Управление мультиплексором

Бит MUX3 включает/выключает выходной мультиплексор. Если значение бита установлено в «0», то мультиплексор выключен (на выходе «0»), если в «1» - включен.

Биты MUX0, MUX1, MUX2 определяют режим работы выходного мультиплексора в соответствии с таблицей 5. В зависимости от значений данных бит на выходе мультиплексора могут быть сигналы REF – опорный сигнал, REF\_DIV – поделенный опорный сигнал, FB\_DIV – поделенный сигнал программируемого делителя входного сигнала, ALD – аналоговый детектор захвата, DLD – цифровой детектор захвата, FBDIV[8], FBDIV[7] – два старших бита управления программируемым делителем (делителем входного сигнала), RDIV[5] – старший бит управления опорным делителем.

Таблица 5 – Режимы работы выходного мультиплексора

MUX2	MUX1	MUX0	MUX_OUT
0	0	0	REF
0	0	1	REF_DIV
0	1	0	FB_DIV
0	1	1	ALD
1	0	0	DLD
1	0	1	FBDIV[8]
1	1	0	FBDIV[7]
1	1	1	RDIV[5]

## Коэффициент деления опорной частоты

Биты R0, R1, R2, R3, R4, R5 устанавливают коэффициент деления опорной частоты по формуле:

$$R = R5 \times 2^5 + R4 \times 2^4 + R3 \times 2^3 + R2 \times 2^2 + R1 \times 2^1 + R0 \times 2^0$$



Исключениями являются комбинации:

$\{R5, R4, R3, R2, R1, R0\} = \{0, 0, 0, 0, 0, 1\}$  – недопустимый режим

$\{R5, R4, R3, R2, R1, R0\} = \{0, 0, 0, 0, 0, 0\}$  – коэффициент деления равен 64

### Коэффициент деления входной частоты

Значение коэффициента деления частоты входного сигнала определяется по формуле:

$$N = INT + \frac{FRAC}{MOD}, \text{ где}$$

$$INT = INT0 \cdot 2^0 + INT1 \cdot 2^1 + \dots + INT7 \cdot 2^7 + INT8 \cdot 2^8$$

$$FRAC = F0 \cdot 2^0 + F1 \cdot 2^1 + \dots + F14 \cdot 2^{14} + F15 \cdot 2^{15}$$

$$MOD = MOD0 \cdot 2^0 + MOD1 \cdot 2^1 + \dots + MOD14 \cdot 2^{14} + MOD15 \cdot 2^{15}$$

### Режим пониженного энергопотребления

Бит PD включает/выключает спящий режим микросхемы. При значении данного бита 0 спящий режим выключен, при значении 1 – включен.

### Управление режимом дробного деления

Бит SD отключает сигма-дельта модулятор. При значении данного бита 0 сигма-дельта модулятор работает в нормальном режиме, при значении 1 – сигма-дельта модулятор выключен.

### Режим рандомизации помех дробности

Бит PSP включает/выключает режим рандомизации помех дробности. При значении данного бита 0 режим рандомизации помех дробности выключен, при значении 1 – включен.

### Управление частотно-фазовым дектектором

Биты T1, T0 определяют режим работы ЧФД и токового ключа в соответствии с таблицей 6.

Таблица 6 – Режимы работы ЧФД и токового ключа

T1	T0	Режим работы
0	0	Ток выключен, $I_{cp} = 0$
0	1	Втекающий ток
1	0	Вытекающий ток
1	1	Рабочий режим

### Управление токовым ключом

Биты C2, C1, C0 устанавливают выходной ток токового ключа в соответствии с таблицей 7.

Таблица 7 – Управление выходным током токового ключа

C2	C1	C0	Значение выходного тока *
0	0	0	$I_0$
0	0	1	$2 \cdot I_0$
0	1	0	$3 \cdot I_0$
0	1	1	$4 \cdot I_0$
1	0	0	$5 \cdot I_0$
1	0	1	$6 \cdot I_0$
1	1	0	$7 \cdot I_0$
1	1	1	$8 \cdot I_0$

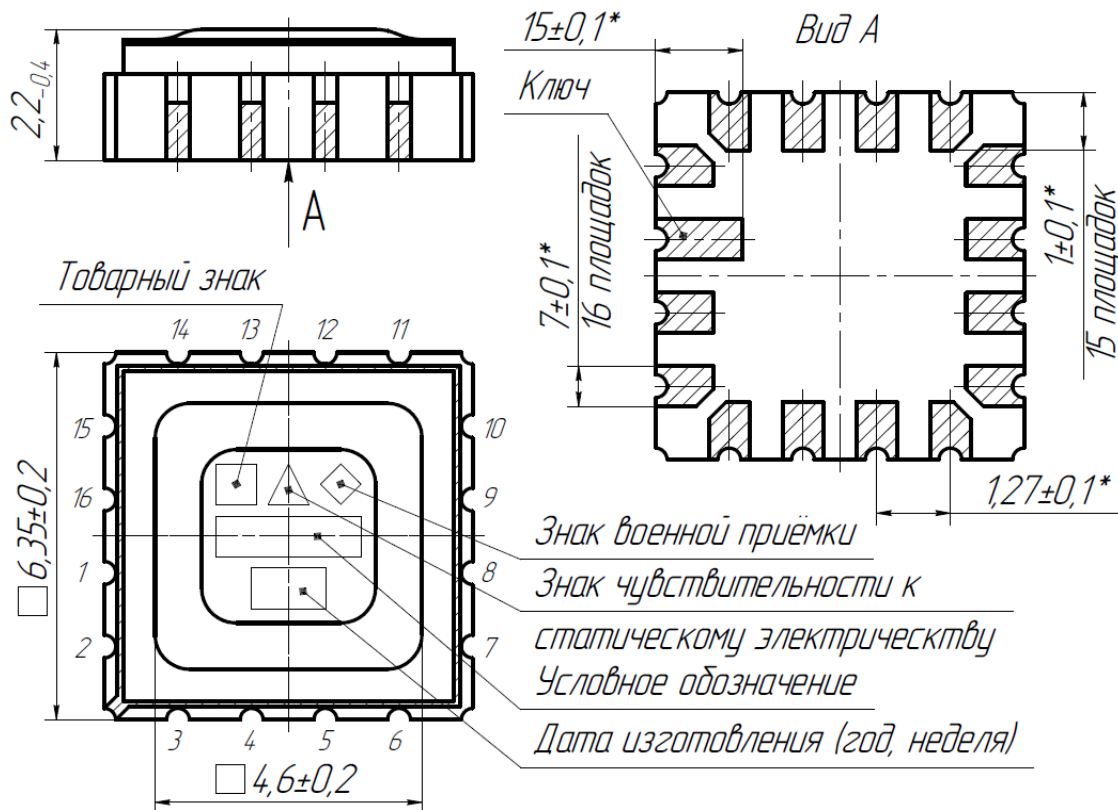
\* Значение тока  $I_0$  (мА) определяется соотношением  $0,64 \text{ (В)} / R_{set}$  (кОм), где  $R_{set}$  - номинал внешнего токозадающего резистора (кОм).

## Требования по надежности

Наработка до отказа в режимах и условиях эксплуатации, допускаемых настоящими ТУ, при температуре окружающей среды не более  $(65 \pm 5)^\circ\text{C}$  должна быть не менее 100 000 ч и не менее 120 000 ч в облегченном режиме.

Облегченный режим при  $t_{\text{окр}} = 50^\circ\text{C}$ :

$U_{\text{п1}} = 3,0\text{ В}$ ,  $U_{\text{п2}} = 2,5\text{ В}$ ,  $P_{\text{вх}} = 0\text{ дБм}$ ,  $P_{\text{вх.оп}} = 0\text{ дБм}$ .



Габаритные размеры корпуса 5130.16-АНЗ



**В связи с недостаточностью имеющейся справочной информации на микросхемы и модули отечественного производства ООО «ИПК «Электрон-Маш» поставило перед собой задачу по исследованию данной номенклатуры с последующим оформлением справочных материалов.**

**За содержание материалов предприятие-производитель изделия ответственности не несёт.**