

Широкополосный интегральный СВЧ удвоитель частоты

Е.М. Савченко

ФГУП «НПП «Пульсар», pulsar@dol.ru

Аннотация — В статье описывается метод построения СВЧ интегрального удвоителя частоты основанный на нелинейном преобразовании входного сигнала, не требующий частотно-избирательных цепей для выделения второй гармоники сигнала, что обеспечивает широкий диапазон рабочих частот. Приводятся результаты схемотехнического моделирования, проведённого на основе кремниевых биполярных транзисторов с граничной частотой 20 ГГц, которые показывают возможность создания компактных малопотребляющих СФ блоков СБИС удвоителей частоты с диапазоном входных частот более 3 ГГц в стандартном БикМОП элементном базисе.

I. ВВЕДЕНИЕ

Умножение частоты является одной из важных задач в радиотехнических системах и может быть реализовано на основе различных принципов. В данной статье рассматривается умножение частоты, основанное на нелинейном преобразовании входного сигнала. В зависимости от требуемого коэффициента умножения (чётного или нечётного) методы построения умножителей частоты могут быть различными. Рассмотрим основные методы построения умножителей частоты на 2 или удвоителей частоты (УДЧ).

Одним из основных способов для построения СВЧ УДЧ является метод двухполупериодного выпрямления сигнала, реализуемый, как на основе диодов Шоттки [1], так и на основе биполярных транзисторов [2]-[5]. При построении УДЧ СВЧ диапазона на основе диодов Шоттки, как правило, используются планарные трансформаторы, настроенные на входную и выходную частоту соответственно.

Общим недостатком для схем, построенных на этом принципе, является большой уровень гармонических составляющих в спектре выходного сигнала, что требует введения дополнительных фильтрующих цепей или схем, для подавления нежелательных гармонических составляющих. Например, в УДЧ СВЧ диапазона с рабочими частотами больше нескольких гигагерц для подавления входной частоты используются четверть волновые отрезки микрополосковых линий, при помощи которых осуществляется шунтирование сигнала входной частоты на выходе УДЧ. Недостатком такого способа является ограничение диапазона рабочих частот и невозможность использования микропо-

лосковых линий на более низких частотах из-за увеличения их габаритов. Предлагаемый в [1]-[5], подход использования частотно-избирательных цепей на основе элементов с сосредоточенными параметрами также ограничен по диапазону рабочих частот (за счёт избирательности фильтров), а на низких частотах накладывает значительные ограничения, связанные с возможностью изготовления пассивных элементов ИМС в монолитном интегральном исполнении.

Основными требованиями, которые предъявляются к УДЧ, кроме общих требования, предъявляемых к СВЧ ИМС и СФ блокам являются:

- диапазон рабочих частот;
- диапазон входного и выходного сигнала;
- коэффициент преобразования;
- подавление гармоник на выходе;
- уровень фазовых шумов.

Учитывая недостатки вышеописанных способов построения СВЧ УДЧ, целью настоящей работы является синтез такого способа построения УДЧ, при котором нет необходимости в частотно-избирательных цепях, что обеспечивает целый ряд преимуществ.

II. АНАЛИЗ СВЧ УДВОИТЕЛЕЙ ЧАСТОТЫ

Рассмотрим характеристики транзисторного двухполупериодного выпрямителя, построенного на биполярных транзисторах, на примере схемы, изображённой на рисунке 1, в которой используется дифференциальный каскад, построенный на транзисторах VT1 и VT2, имеющий дифференциальный вход, и однофазный выход. При использовании кремниевых биполярных транзисторов был проведён анализ потерь преобразования и спектрального состава выходного сигнала этой схемы. Результаты моделирования представлены на рис. 2, при этом, в состоянии покоя транзисторы находятся в режиме отсечки.

Следует отметить, что на рисунках, иллюстрирующих спектральный состав выходного сигнала, кривая соответствующая 2 гармонике, показывает потери преобразования УДЧ, а высшие гармоники отсчитываются относительно уровня 2 гармоники.

При входных напряжениях меньше 0,5 В схема, изображённая на рис. 1 практически перестаёт функ-

ционировать, что объясняется недостаточностью входного сигнала для открывания транзисторов.

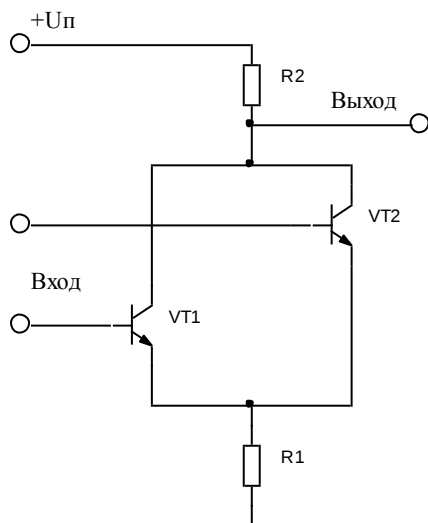


Рис. 1. УДЧ, используемый в режиме двухполупериодного выпрямителя

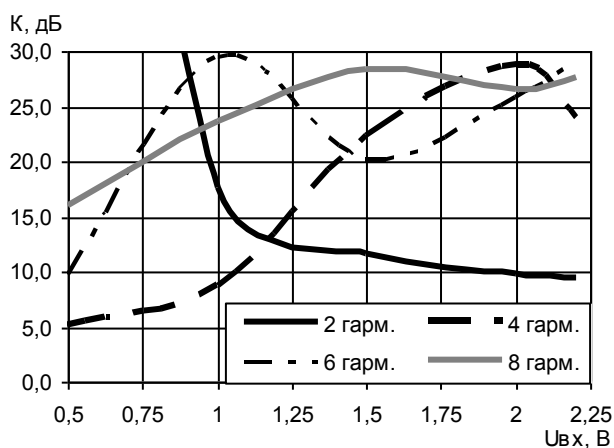


Рис. 2. Спектральный состав выходного сигнала УДЧ, в режиме двухполупериодного выпрямителя

Для того чтобы расширить нижнюю границу диапазона входных напряжений необходимо подавать смещение на вход такого УДЧ. Для схемы, приведённой на рис. 1 был проведён анализ при подаче на вход напряжения равного 0,7 В, что обеспечило работу каскада в режиме микротока. Результаты анализа представлены на рис. 3.

Из проведённого анализа видно, что подача на вход дополнительного напряжения смещения приводит к уменьшению потерь преобразования и снижению в спектральном составе выходного сигнала высших гармоник в области наименьших входных напряжений. Ухудшение спектральной чистоты сигнала с ростом входного сигнала обусловлено превышением допустимого входного сигнала.

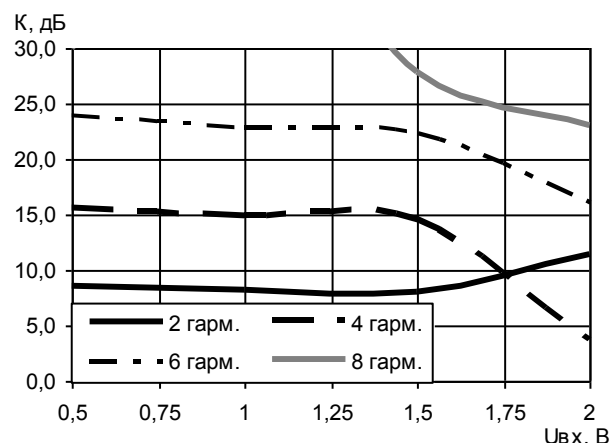


Рис. 3. Спектральный состав выходного сигнала УДЧ, в режиме двухполупериодного выпрямителя с дополнительным напряжением смещения на входе

По результатам моделирования видно, что вне зависимости от режима работы транзистора в состоянии покоя, наихудший уровень нежелательных гармоник относительно выходной частоты составляет 15-20 дБ, что в большинстве случаев требует применения дополнительных частотно-избирательных цепей.

Причиной возникновения большого количества паразитных гармоник на выходе УДЧ на основе двухполупериодного выпрямителя является выход транзисторов из диапазона линейной работы. Для того, чтобы обеспечить минимальный уровень искажений выходного сигнала УДЧ, транзисторы должны работать в активном режиме, а изменения входного сигнала не должны приводить к переходу в нелинейный режим работы каскада.

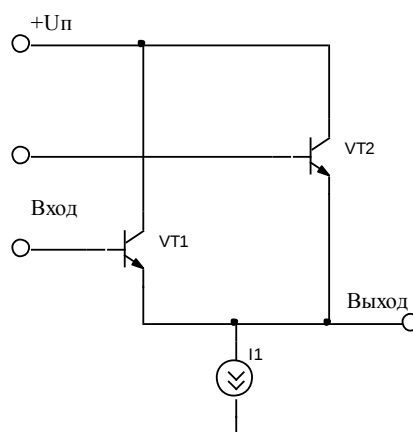


Рис. 4. Ядро УДЧ, используемого в линейном режиме

Реализация этого принципа показана на схеме, приведённой на рис. 4, где режимный ток транзисторов VT1 и VT2 задаётся источником тока I1, при этом для

обеспечения наибольшей верхней границы диапазона рабочих частот, транзисторы должны работать в режиме оптимальном с точки зрения граничной частоты транзисторов. Выходом схемы является точка объединения эмиттеров транзисторов, которая при больших входных сигналах имеет характеристику выпрямителя, однако при малых уровнях входных сигналов имеет параболическую форму, что обеспечивает удвоение частоты входного гармонического сигнала [7].

Моделирование данной схемы было проведено на транзисторах с граничной частотой 20 ГГц, с размером эмиттеров $0,6 \times 1,6 \text{ мкм}^2$, максимальное значение граничной частоты обеспечивается при режимном токе порядка 400 мкА. Для этой схемы было проведено моделирование потерь преобразования и спектрального состава выходного сигнала этой схемы. Результаты моделирования представлены в на рис. 5.

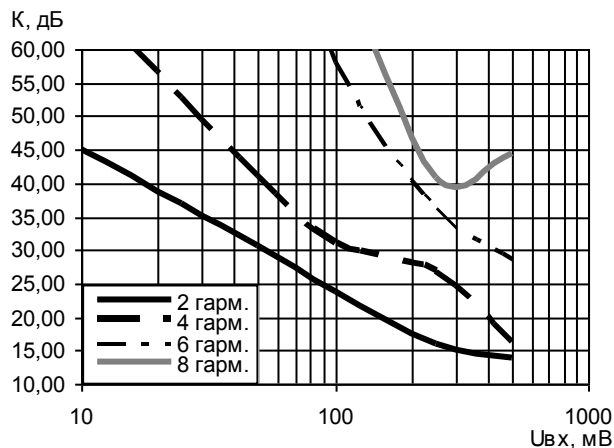


Рис. 5. Зависимость спектрального состава выходного сигнала УДЧ, работающего в линейном режиме от значения входного сигнала

По результатам моделирования видно, что в достаточно широком диапазоне входных напряжений на выходе УДЧ обеспечивается очень низкое значение нежелательных спектральных составляющих, т.е. не требуется дополнительная фильтрация выходного сигнала.

Результаты моделирования в диапазоне рабочих частот при входном напряжении 50 мВ приведены на рис. 6 и показывают, что вплоть до входной частоты 3 ГГц УДЧ, работающий в линейном режиме обеспечивает значительно лучшие характеристики, чем УДЧ, работающий в режиме выпрямителя.

Для анализа шумовых свойств УДЧ было проведено моделирование фазовых шумов при различных уровнях входных сигналов (рис. 7) и в диапазоне рабочих частот (рис. 8) при фиксированном отступе по частоте, равном 10 кГц. Полученные результаты свидетельствуют о противоречии между уровнем фазовых шу-

мов УДЧ и уровнем нежелательных спектральных составляющих выходного сигнала. В диапазоне рабочих частот УДЧ обеспечивает слабое изменение уровня фазовых шумов.

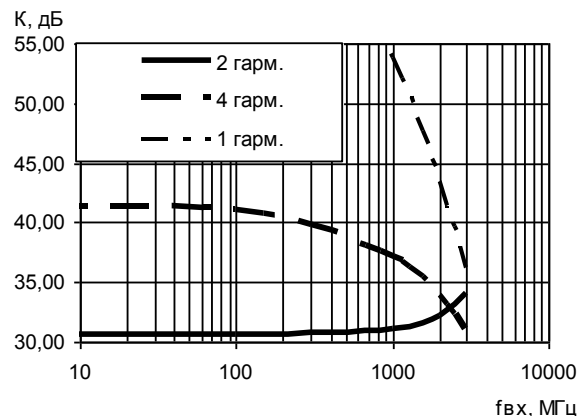


Рис. 6. Зависимость спектрального состава выходного сигнала УДЧ, используемого в линейном режиме от частоты входного сигнала

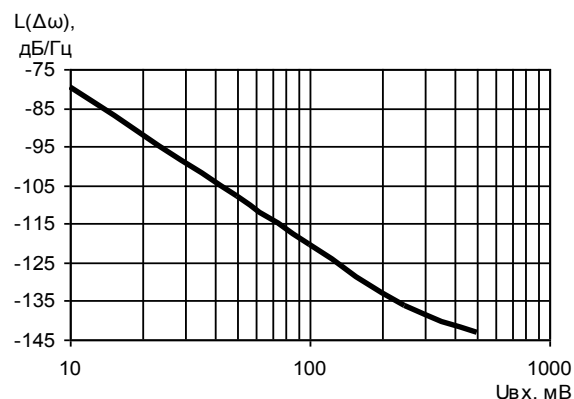


Рис. 7. Зависимость уровня фазовых шумов выходного сигнала УДЧ, используемого в линейном режиме от амплитуды входного сигнала

Необходимо отметить, что в сравнении с интегральными УДЧ, описываемыми в [6] и [7] данное решение обеспечивает существенную экономию площади кристалла, поскольку использует транзисторы с минимальными размерами, в то время как в [6] и [7] используются транзисторы с большим соотношением площади эмиттеров, что значительно увеличивает площадь кристалла, занимаемую ядром УДЧ. Кроме того, обеспечивается экономия по потребляемой мощности, т.к. транзисторам с большой площадью эмиттеров требуется существенно больший режимный ток для выхода в режим работы с максимальной граничной частотой. Размер, занимаемый на кристалле ядром УДЧ при использовании двух слоёв металлиза-

ции составляет $25 \times 35 \text{ мкм}^2$, а ток потребления (с учётом источника опорного тока) составляет 1 мА.

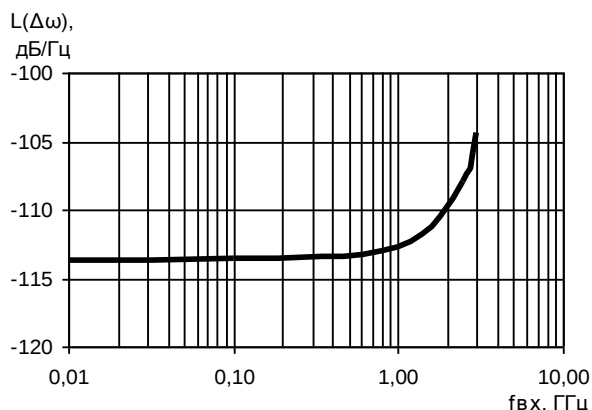


Рис. 8. Зависимость уровня фазовых шумов выходного сигнала УДЧ, используемого в линейном режиме от частоты входного сигнала

Важным фактором для подавления основной гармоники входного сигнала является, как степень симметрии дифференциальной пары транзисторов ядра УДЧ, что накладывает дополнительные требования на выбор технологического процесса и требует тщательной проработки топологического решения, так и степень симметричности входного дифференциального сигнала. По этой причине наиболее целесообразным при построении ИМС и СФ блоков на основе описываемого ядра УДЧ является организация однофазного входа УДЧ с дальнейшим тщательным преобразованием однофазного сигнала в выходной дифференциальный, который непосредственно поступает на вход ядра УДЧ, обеспечивая необходимый уровень симметрии.

Одним из важных достоинств рассматриваемого ядра УДЧ является низкий уровень мощности входного сигнала, что обеспечивает создание экономичных радиоэлектронных систем с его использованием.

Рассматриваемый УДЧ может быть реализован как в виде СФ блока, встраиваемого в универсальные и специализированные СБИС, изготавливаемые по БиКМОП технологии, так и в виде самостоятельной универсальной СВЧ ИМС. При реализации в виде СФ блока наиболее целесообразным является организация дифференциального токового выхода, к которому при необходимости могут быть подключены нагрузочные резисторы, а при реализации УДЧ в виде самостоятельной СВЧ ИМС, накладываются дополнительные требования по обеспечению согласованного входного и выходного сопротивлений, а так же требования по минимизации числа выводов. По этим причинам для ИМС УДЧ наиболее целесообразно организация однофазного выхода, при этом возможна реализация в миниатюрных четырёхвыводных корпусах, в которых наиболее часто выпускаются, как СВЧ транзисторы,

так и ИМС широкополосных СВЧ усилительных блоков.

Отсутствие частотно-избирательных цепей выделения второй гармоники сигнала в составе УДЧ обеспечивает очень широкий диапазон рабочих частот, который сверху ограничивается частотными свойствами элементной базы, а ограничения снизу по частоте практически отсутствуют, что значительно расширяет области применения таких УДЧ, как в виде самостоятельных ИМС, так и в виде СФ блоков. Реализация УДЧ с внешним заданием уровня потребляемой мощности обеспечит возможность применения, как в СВЧ трактах, так и в микромощных трактах более низкой частоты.

III. ЗАКЛЮЧЕНИЕ

В статье рассмотрен метод построения СВЧ интегрального удвоителя частоты основанный на нелинейном преобразовании входного сигнала, не требующий частотно-избирательных цепей для выделения второй гармоники сигнала, что обеспечивает широкий диапазон рабочих частот и минимальную занимаемую площадь на кристалле.

Проведённое моделирование показало, что на основе кремниевых биполярных транзисторов с граничной частотой 20 ГГц, возможно создание СВЧ удвоителей частоты с диапазоном входных и выходных частот до 3 ГГц и 6 ГГц соответственно, уровнем ослабления нежелательных спектральных составляющих более 40 дБ относительно выходного сигнала и уровнем фазовых шумов до -144 дБ/Гц.

Ещё большие перспективы по использованию СВЧ УДЧ на основе рассмотренного метода открываются при использовании транзисторов на основе SiGe.

ЛИТЕРАТУРА

- [1] US Patent 5,434,522 Frequency doubler circuit having a diode quad with a grounded port / Fikart J.L. et al. - 1995.
- [2] US Patent 5,815,014 Transistor based frequency multiplier / Zhang et al. - 1998.
- [3] US Patent 4,639,679 Frequency-doubling circuit / Kasperkovitz et al. - 1987.
- [4] US Patent 6,664,824 Frequency doubler circuit arrangement / Laws - 2003.
- [5] US Patent 6,882,191 Rectifier type frequency doubler with harmonic cancellation / Kwok - 2005.
- [6] K. Kimura A bipolar four-quadrant analog quarter-square multiplier consisting of unbalanced emitter-coupled pairs and expansion of its input ranges // IEEE Journal of solid-state circuits. - 1994. - V. 29. - № 1. - P. 46-55.
- [7] K. Kimura, H. Asazawa Frequency mixer with a frequency doubler for integrated circuits // IEEE Journal of solid-state circuits. - 1994. - V. 29. - № 1. - P. 1133-1137.